

**Multi-chip stacked package**

Patent Number:

Publication date: 2001-09-21

Inventor(s): CHEN YI-SHING (TW); JAN LIAN-CHR (TW); WU JI-CHIUAN (TW)

Applicant(s): SILICONWARE PREC IND CO LTD (TW)

Requested Patent: TW455970

Application Number: TW20000125608 20001201

Priority Number(s): TW20000125608 20001201

IPC Classification: H01L21/60

EC Classification:

Equivalents:

---

**Abstract**

---

The present invention discloses a multi-chip stacked package. In the package, the substrate is made to be hollow. The first chip of the multi-chip is placed above the hollow portion of the substrate. The second chip of the multi-chip is adhered to the first chip and placed in the hollow portion of the substrate. The first chip is electrically connected to the substrate by a plurality of solder bumps. The second chip is electrically connected to the substrate by a plurality of bonding pads.

---

Data supplied from the esp@cenet database - I2

**THIS PAGE BLANK (USPTO)**

[11]公告編號：455970

[44]中華民國 90年 (2001) 09月21日

發明

全 3 頁

[51] Int.Cl<sup>06</sup>: H01L21/60

[54]名稱：多晶片堆疊之封裝件

[21]申請案號：089125608

[22]申請日期：中華民國 89年 (2000) 12月01日

[72]發明人：

陳宜興

詹連池

吳集銓

台中市西屯區西安路二八三之九十四號

台中市西區建國路一之一號

台中市西區美村路一段七九三號十三樓之二

[71]申請人：

矽品精密工業股份有限公司

台中縣潭子鄉大豐路三段一二三號

[74]代理人：陳長文 先生

1

2

[57]申請專利範圍：

1.一種多晶片堆疊之封裝件，包含：

一基板，具有第一面及第二面，且在中心部位有一孔洞；該基板至少包含兩層的電路軌跡，用以傳遞電氣信號；

一第一晶片，設於該基板之孔洞之第一面之上方，且藉由複數個鐸接凸塊電氣連接至該基板之電路軌跡；

一第二晶片，設於該基板之孔洞內，且黏著於該第一晶片之電路面上；該第二晶片藉由複數個接合鐸線電氣連接至該基板之電路軌跡；  
複數個鐸接錫球，設於該基板之第二面之下方，且電氣連接至該基板之電路軌跡；

一第一封裝膠體，用於密封該第一晶片；以及

一第二封裝膠體，用於密封該第二晶片及接合鐸線。

2.如申請專利範圍第1項之多晶片堆疊之

封裝件，其中該第一晶片非電路面上設有一散熱片，以加強散熱功能。

3.如申請專利範圍第1項之多晶片堆疊之封裝件，其中該第一晶片及第二晶片之間係使用環氧樹脂、B階環氧樹脂及矽膠之一進行黏著。

4.如申請專利範圍第1項之多晶片堆疊之封裝件，其中該基板之第一表面設有一散熱片，以加強散熱功能。

5.如申請專利範圍第1項之多晶片堆疊之封裝件，其中該第一封裝膠體及第二封裝膠體係以雙面模壓的方式完成。

6.如申請專利範圍第1項之多晶片堆疊之封裝件，係使用轉換模的製程方式完成。

7.一種多晶片堆疊之封裝模組結構，包含：

一基板，具有一第一面及一與該一面呈相對立之第二面，該基板上設有一穿越該一面及第二面之孔洞；

一第一晶片組，設於該基板之孔洞上方，以複數銲接凸塊與該基板之第一面呈電氣連接；及

一第二晶片組，於該基板之孔洞內，以一黏著劑固接於該第一晶片組之電路面上，並以複數接合銲線與基板之第二面呈電氣連接。

8. 如申請專利範圍第 7 項之封裝模組結構，其中該基板內設有至少二層電路軌跡，以藉由該複數銲接凸塊及接合銲線傳遞信號於該第一晶片組及第二晶片組之間。

9. 如申請專利範圍第 8 項之封裝模組結構，另包含複數銲接錫球，設於該基板之第二面，與該基板之電路軌跡呈電氣連接。

10. 如申請專利範圍第 9 項之封裝模組結構，另包含一第一封裝膠體，將該第一晶片組及銲接凸塊絕緣密封於該基板之第一面上。

11. 如申請專利範圍第 7 項之封裝模組結構，其中該黏著劑之材料係選自環氧樹脂、B 階環氧樹脂或矽膠其中之一者。

12. 如申請專利範圍第 7 項之封裝模組結

5.

10.

15.

20.

25.

(2)

構，另包含一第一散熱片，設於該第一晶片組之非電路面上，以加強散熱功能。

13. 如申請專利範圍第 7 項之封裝模組結構，另包含一第二散熱片，設於該基板之第一面，以加強散熱功能。

14. 如申請專利範圍第 10 項之封裝模組結構，其中該第一封裝膠體絕緣密封於該基板之第一面上及該第二封裝膠體絕緣密封於該基板之第二面上係以一雙面模壓之方式完成，以保持該封裝模組結構之最佳平而度。

15. 如申請專利範圍第 10 項之封裝模組結構，其中該第二封裝膠體絕緣密封於該基板之第二面上係以一轉換模之方式完成。

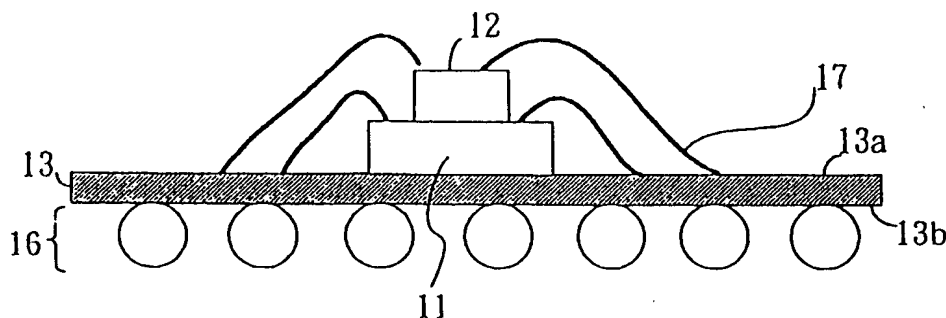
圖式簡單說明：

第一圖係一習知之多晶片堆疊之封裝件之剖面示意圖；

第二圖係另一習知之多晶片堆疊之封裝件之剖面示意圖；

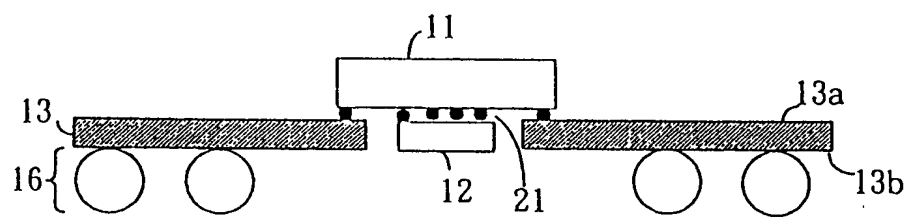
第三圖係再一習知之多晶片堆疊之封裝件之剖面示意圖；及

第四圖係本發明之多晶片堆疊之封裝件之一較佳實施例之剖面示意圖。

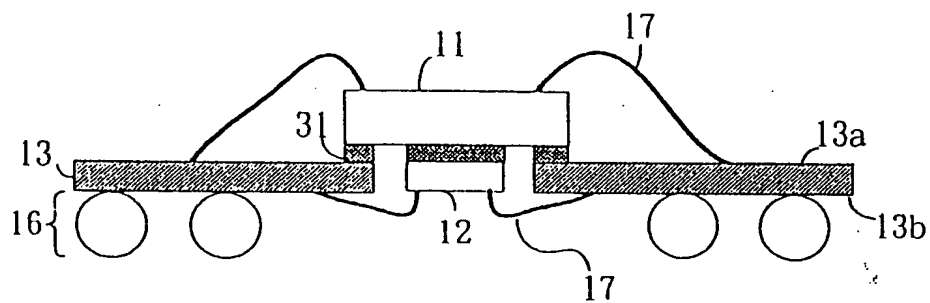


第一圖

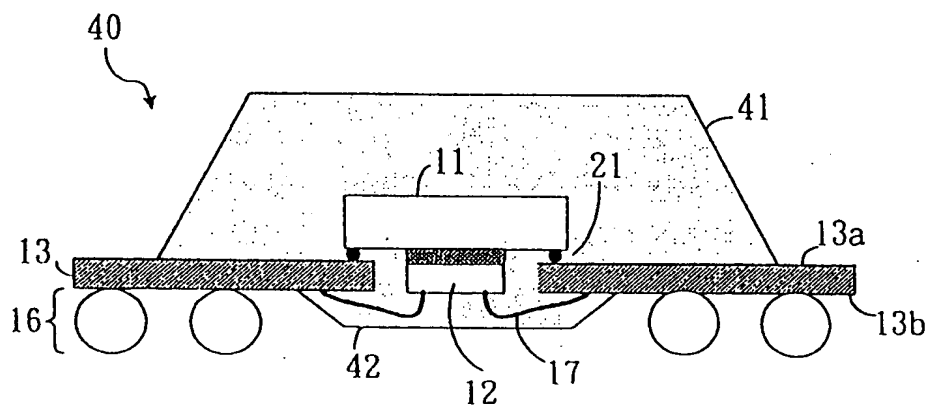
(3)



第二圖



第三圖



第四圖

**THIS PAGE BLANK (USPTO)**